Ј. ЂОРЂЕВИЋ, З. РАДИВОЈЕВИЋ, М. ПУНТ,
Ј. ПРОТИЋ, Д. МИЛИЋЕВ,
А. МИЛЕНКОВИЋ, Б. НИКОЛИЋ

ОСНОВИ РАЧУНАРСКЕ ТЕХНИКЕ

ПРОЈЕКТОВАЊЕ УРЕЂАЈА

ЗБИРКА РЕШЕНИХ ЗАДАТАКА

Београд 2017.

ПРЕДГОВОР

Збирка решених задатака покрива део градива које се изучава у оквиру предмета Основи рачунарске технике I и II на Електротехничком факултету, Универзитета у Београду, а односи се на пројектовање уређаја. Приликом решавања задатака користи се методологија пројектовања уређаја по којој сваки уређај садржи операциону и управљачку јединицу. Обе јединице се састоје од прекидачких мрежа које у случају операционе јединице служе за памћење бинарних речи, реализацију одређеног скупа микрооперација и генерисање сигнала логичких услова док у случају управљачке јединице служе за генерисање управљачких сигнала сагласно усвојеним алгоритмима операција и вредностима сигнала логичких услова. Задаци се односе на пројектовање уређаја чија структура није сложена, па се за реализацију операционе и управљачке јединице користе технике примерене сложености уређаја. Стога су операционе јединице реализоване у техникама повезивања прекидачких мрежа директним везама и једном магистралом, док су управљачке јединице реализоване у техникама "шетајућа јединица", стандардна секвенцијална прекидачка мрежа и бројач корака са декодером.

Задаци из главе 1 покривају део градива из Основи рачунарске технике I. У поставкама задатака се даје одређена структурна шема операционе јединице реализоване у техници повезивања прекидачких мрежа једном магистралом и текстуални опис функционисања уређаја, а у решењима дијаграми тока управљачких сигнала и структурне шеме управљачких јединица реализоване у техникама "шетајућа јединица" и стандардна секвенцијална прекидачка мрежа.

Задаци из главе 2 покривају део градива из Основи рачунарске технике II. У поставкама задатака се даје текстуални опис функционисања уређаја, а у решењима одређена структурна шема операционе јединице реализоване у техници повезивања прекидачких мрежа директним везама, дијаграми тока управљачких сигнала и структурне шеме управљачких јединица реализованих у техници бројач корака са декодером.

Иако су задаци више пута проверавани, аутори су свесни да је могуће да су се неке грешке поткрале и свима онима који на њих буду указивали аутори дугују захвалност.

Аутори

Београд
фебруара 2017.

САДРЖАЈ

ПРЕДГОВОР ..... **I**

САДРЖАЈ ..... **III**

1. ПРОЈЕКТОВАЊЕ УРЕЂАЈА I **1**

1.1. СУМА СА ИНКРЕМЕНТИРАЊЕМ - ADDINC 1
1.2. НЕГАЦИЈА - NEG 8
1.3. РАЗЛИКА - SUB 17
1.4. АПСОЛУТНА ВРЕДНОСТ - ABS 24
1.5. СУМА АПСОЛУТНИХ ВРЕДНОСТИ - SABS 29
1.6. ПРОИЗВОД - MULINT 34
1.7. ПРОИЗВОД - MUL 38
1.8. СУМА И ПРОИЗВОД - MULADD 42
1.9. СУМА И ПРОИЗВОД - SMUL 48
1.10. КОЛИЧНИК - DIVINT 53
1.11. КОЛИЧНИК - DIV 57
1.12. МОДУО АПСОЛУТНИХ ВРЕДНОСТИ - MODABS 66
1.13. НАЈВЕЋИ БРОЈ - FLOOR 71
1.14. НАЈМАЊИ БРОЈ - CEIL 75
1.15. МИНИМУМ ВЕЛИЧИНА БЕЗ ЗНАКА - MIN4 80
1.16. МАКСИМУМ ВЕЛИЧИНА БЕЗ ЗНАКА - MAX4 86
1.17. МИНИМУМ АПСОЛУТНИХ ВРЕДНОСТИ - MIN2 90
1.18. МАКСИМУМ АПСОЛУТНИХ ВРЕДНОСТИ - MAX2 95
1.19. МАКСИМУМ АПСОЛУТНИХ ВРЕДНОСТИ РАЗЛИКЕ И ЗБИРА - MAX2DS 99
1.20. ЛОГИЧКИ ПРОИЗВОД - AND 104
1.21. УМЕТАЊЕ БИТА - PUTI 109
1.22. УМЕТАЊЕ ЈЕДАН - SETI 115
1.23. УМЕТАЊЕ НУЛА - CLRI 119
1.24. ИЗВЛАЧЕЊЕ БИТА - GETI 123
1.25. СЕЛЕКТИВНО САБИРАЊЕ - CSR 128
1.26. БРОЈ ЈЕДИНИЦА - NOONES 133
1.27. ПРЕБРОЈАВАЊЕ ЈЕДИНИЦА И НУЛА - MAJOR 138
1.28. ДЕЦИМАЛНИ У БИНАРНИ БРОЈ - D2B 145
1.29. БИНАРНИ У ДЕЦИМАЛНИ БРОЈ - B2D 155
1.30. ФИБОНАЧИЈЕВ НИЗ - FIB 162
1.31. ЕЛЕМЕНТ НИЗА - SC 167
1.32. КВАДРАТНИ КОРЕН - SQRT 172
1.33. ЛОГАРИТАМ - LOG2 178
1.34. ЛОГАРИТАМ – LOG10 182
1.35. СТЕПЕН - POW 188
1.36. ФАКТОРИЈЕЛ - NFAK 194
1.37. ПРОИЗВОД ЕЛЕМЕНАТА НИЗА - MNK 199
1.38. СУМА ПРОИЗВОД ЕЛЕМЕНАТА НИЗА - SUM 204
1.39. СУМА ПРОИЗВОДА ИНДЕКСА И СТЕПЕНА - SMS 209

2. ПРОЈЕКТОВАЊЕ УРЕЂАЈА II **215**

2.1. СУМА ЧЕТИРИ 8-БИТНЕ РЕЧИ 215
2.2. РАСПАКИВАЊЕ ЈЕДНЕ 32-БИТНЕ РЕЧИ У ЧЕТИРИ 8-БИТНЕ РЕЧИ СА БАФЕРОВАЊЕМ 220
2.3. ПАКОВАЊЕ ЧЕТИРИ 8-БИТНЕ РЕЧИ СА БАФЕРОВАЊЕМ У ЈЕДНУ 32-БИТНУ РЕЧ 225
2.4. РАСПАКИВАЊЕ ЈЕДНЕ 32-БИТНЕ У ЧЕТИРИ 8-БИТНЕ РЕЧИ БЕЗ БАФЕРОВАЊА 230
2.5. ПАКОВАЊЕ ЧЕТИРИ 8-БИТНЕ РЕЧИ БЕЗ БАФЕРОВАЊА У ЈЕДНУ 32-БИТНУ РЕЧ 234
2.6. САБИРАЊЕ 32-БИТНИХ РЕЧИ САБИРАЊЕМ 8-БИТНИХ РЕЧИ 238
2.7. ДРУГИ КОМПЛЕМЕНТ 245

2.8. ПАРОВИ ЈЕДНАКИХ ИЛИ РАЗЛИЧИТИХ СУСЕДНИХ БИТОВА 251
2.9. ПОЗИЦИЈА ЈЕДИНИЦЕ НАЈВЕЋЕ ИЛИ НАЈМАЊЕ ТЕЖИНЕ 257
2.10. РАСТОЈАЊЕ НАЈУДАЉЕНИЈИХ ЈЕДИНИЦА ИЛИ НУЛА 263
2.11. ШИФРОВАЊЕ ЗАМЕНОМ МЕСТА 270
2.12. ДЕШИФРОВАЊЕ ЗАМЕНОМ МЕСТА 276
2.13. КОДИРАЊЕ СА ИНВЕРТОВАЊЕМ НА 1 282
2.14. ДЕКОДИРАЊЕ ОД ИНВЕРТОВАЊА НА 1 287
2.15. ОДУЗИМАЊЕ 16-БИТНИХ РЕЧИ 292
2.16. СЕРИЈСКО САБИРАЊЕ 298
2.17. ПОМЕРАЊЕ УЛЕВО 302
2.18. ПОМЕРАЊЕ УДЕСНО 306
2.19. ГЕНЕРИСАЊЕ БИТА ПАРНОСТИ 311
2.20. ПРОВЕРА БИТА ПАРНОСТИ 316
2.21. ГЕНЕРИСАЊЕ БИТА ПРОВЕРЕ 321
2.22. ПРОВЕРА БИТА ПРОВЕРЕ 325
2.23. НАЈДУЖИ НИЗ УЗАСТОПНИХ ЈЕДИНИЦА ИЛИ НУЛА 329
2.24. БИНАРНА РЕЧ СА ДУЖИМ НИЗОМ УЗАСТОПНИХ ЈЕДИНИЦА 335
2.25. ШИФРОВАЊЕ 339
2.26. ЧЕТИРИ ОПЕРАЦИЈЕ - CLC, ZERO, TRN И ADJ 344
2.27. НАЈЧЕШЋЕ ПРИМЉЕНА РЕЧ 350
2.28. АУТОМАТ ЗА ПРОДАЈУ ПРОИЗВОДА 356
2.29. МИНИМУМ И МАКСИМУМ 363
2.30. ДВА МАКСИМУМА 368
2.31. ДОХВАТАЊЕ ПОДАТАКА СА ЧЕКАЊЕМ 372
2.32. ПРОГРАМАТОР 377
2.33. ПРОСЛЕЂИВАЊЕ ПОРУКА СА ЧЕКАЊЕМ 384

3. ЛИТЕРАТУРА 389

1. ПРОЈЕКТОВАЊЕ УРЕЂАЈА I

1.1. СУМА СА ИНКРЕМЕНТИРАЊЕМ - ADDINC

На слици 1.а. је приказана структурна шема дела операционе јединице процесора. У регистрима R1, R2 и R3 дужине n разреда налазе се бинарне вредности које треба интерпретирати као целобројне вредности без знака. Микрооперације које се реализују у јединици ALU су дате у табели 1.

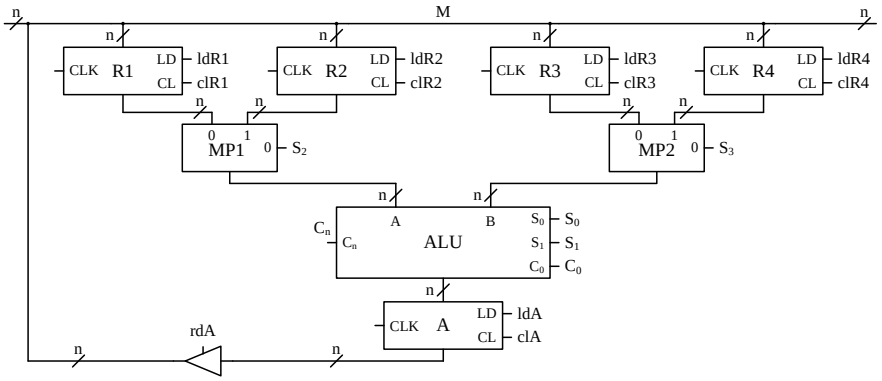
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе ADDINC која израчунава

R4 = R1+R2+R3+1

суму садржаја регистара R1, R2 и R3 увећану за 1, а резултат смешта у регистар R4. Фаза извршавања наредбе започиње уколико сигнал ADDINC има вредност 1. Садржаји регистара R1, R2 и R3 треба да остану неизмењени. Претпоставити да се у регистрима R1, R2 и R3 налазе вредности које омогућавају да се извршавање наредбе реализује коректно и да се добије вредност која може да се смести у регистар R4.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима.

в) Нацртати структурну шему управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима.



Слика 1.а. Структурна шема дела операционе јединице

S_0	S_1	F
0	0	$A–C_0$
0	1	$A+B+C_0$
1	0	$B+C_0$
1	1	A–B

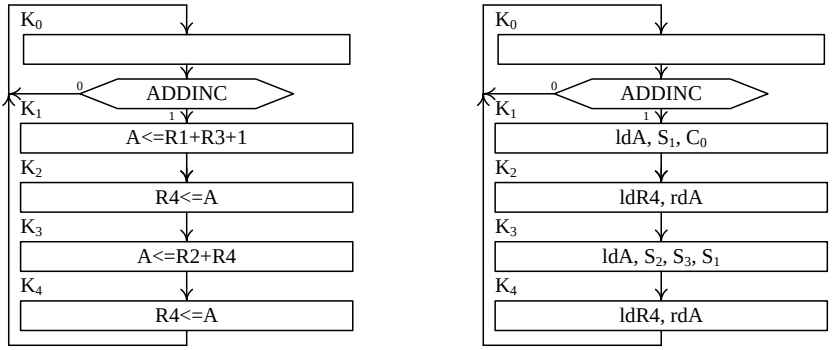
Табела 1. Микрооперације у јединици ALU

Решење:

а) Дијаграми тока микрооперација и управљачких сигнала дати су на слици 1.б.

Израчунавање израза се реализује на следећи начин. Кроз мултиплексере MP1 и MP2 се на улазе A и B јединице ALU пропусте садржаји регистара R1 и R3, у јединици ALU изврши њихово сабирање са инкрементирањем и добијена вредност са излаза јединице ALU упише у регистар A. Затим се добијена вредност из регистра A пребаци у регистар

R4. Потом се кроз мултиплексере MP1 и MP2 на улазе A и B јединице ALU пропусте садржаји регистара R2 и R4, у јединици ALU изврши њихово сабирање и добијена вредност са излаза јединице ALU упише у регистар A. На крају се добијена вредност из регистра A пребаци у регистар R4.



Слика 1.б. Дијаграми тока микрооперација и управљачких сигнала

У кораку K_0 се проверава вредност сигнала ADDINC и у зависности од тога да ли сигнал ADDINC има вредност 0 или 1 остаје у кораку K_0 или на сигнал такта прелази на корак K_1.

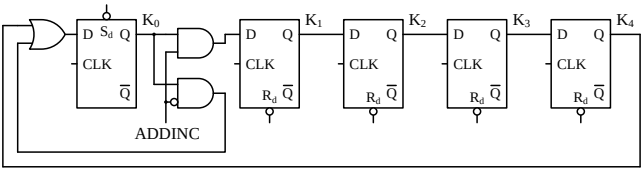
У кораку K_1 сигнали S_2 и S_3 имају вредност 0 па садржаји регистара R1 и R3 пролазе кроз мултиплексере MP1 и MP2 и појављују на улазима A и B јединице ALU, сигнали S_1 и C_0 имају вредност 1 па се на излазу јединице ALU јавља сума садржаја регистара R1 и R3 увећана за 1, која се вредношћу 1 сигнала ldA на сигнал такта уписује у регистар A. На исти сигнал такта се прелази на корак K_2.

У кораку K_2 се вредношћу 1 сигнала rdA садржај регистра A пропушта преко бафера са три стања на линије магистрале M и преко њих води, између осталог, на улаз регистра R4 и вредношћу 1 сигнала ldR4 на сигнал такта уписује у регистар R4. На исти сигнал такта се прелази на корак K_3.

У кораку K_3 сигнали S_2 и S_3 имају вредност 1 па садржаји регистара R2 и R4 пролазе кроз мултиплексере MP1 и MP2 и појављују на улазима A и B јединице ALU, сигнал S_1 има вредност 1 па се на излазу јединице ALU јавља сума садржаја регистара R2 и R4, која се вредношћу 1 сигнала ldA на сигнал такта уписује у регистар A. На исти сигнал такта се прелази на корак K_4.

У кораку K_4 се вредношћу 1 сигнала rdA садржај регистра A пропушта преко бафера са три стања на линије магистрале M и преко њих води, између осталог, на улаз регистра R4 и вредношћу 1 сигнала ldR4 на сигнал такта уписује у регистар R4. На исти сигнал такта се прелази на корак K_0.

б) Структурна шема управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима приказана је на слици 1.в.



Слика 1.в. Структурна шема управљачке јединице

Управљачка јединица се састоји од флип-флопова K_0, K_1, K_2, K_3 и K_4 додељених операционим блоковима у корацима K_0, K_1, K_2, K_3 и K_4 у дијаграмима тока микрооперација и управљачких сигнала (слика 1.б) и једног пара I елемената додељеног условном блоку са сигналом логичког услова ADDINC у дијаграмима тока микрооперација и управљачких сигнала.

На почетку извршавања наредбе ADDINC јединица се налази у флип-флопу K_0 и нуле у осталим флип-флоповима, што одговара кораку K_0 из дијаграма тока микрооперација и управљачких сигнала. Стога ни један од управљачких сигнала нема вредност 1. Све време док сигнал ADDINC има вредност 0 јединица остаје у флип-флопу K_0 и нуле у осталим флип-флоповима. Када сигнал ADDINC постане 1, на сигнал такта се уписује јединица у флип-флоп K_1 и нула у флип-флоп K_0, док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_1 и нуле у осталим флип-флоповима, што одговара кораку K_1 из дијаграма тока микрооперација и управљачких сигнала, дају вредност 1 сигнала ldA, S_1 и C_0. На сигнал такта се уписује јединица у флип-флоп K_2 и нула у флип-флоп K_1, док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_2 и нуле у осталим флип-флоповима, што одговара кораку K_2 из дијаграма тока микрооперација и управљачких сигнала, дају вредност 1 сигнала ldR4 и rdA. На сигнал такта се уписује јединица у флип-флоп K_3 и нула у флип-флоп K_2, док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_3 и нуле у осталим флип-флоповима, што одговара кораку K_3 из дијаграма тока микрооперација и управљачких сигнала, дају вредност 1 сигнала ldA, S_2, S_3 и S_1. На сигнал такта се уписује јединица у флип-флоп K_4 и нула у флип-флоп K_3, док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_4 и нуле у осталим флип-флоповима, што одговара кораку K_4 из дијаграма тока микрооперација и управљачких сигнала, дају вредност 1 сигнала ldR4 и rdA. На сигнал такта се уписује јединица у флип-флоп K_0 и нула у флип-флоп K_4, док нуле остају у осталим флип-флоповима. Овим се реализује враћање у почетно стање.

Управљачки сигнали операционе јединице се генеришу према изразима

$S_2 = K_3$
$S_3 = K_3$
$S_1 = K_1 + K_3$
$C_0 = K_1$
ldA = $K_1 + K_3$
rdA = $K_2 + K_4$
ldR4 = $K_2 + K_4$

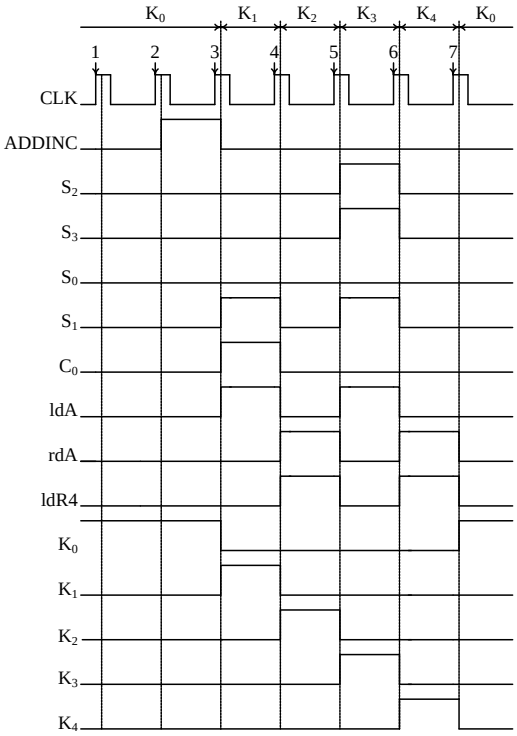
у којима K_0, K_1, ..., K_4 представљају сигнале са излаза флип-флопова придружених операционим блоковима у дијаграму тока управљачких сигнала (слика 1.б). Сви остали управљачки сигнали имају вредност 0.

Дискусија 1:

У тексту задатка је назначено да треба претпоставити да се у регистрима R1, R2 и R3 налазе вредности које омогућавају да се извршавање наредбе реализује коректно и да се добије вредност која може да се смести у регистар R4. Напомена је наведена, јер су вредности у регистрима целобројне величине без знака и дужина регистара је n битова, па се у неким случајевима може добити збир који се приказује са више од n битова и на тај начин се не добија коректан резултат. На пример максимална величина која се може налазити у регистрима је 2^n-1. За збир 2^n-1+2^n-1 потребно је n+1 бит, ако би се дати збир још једном повећао за 2^n-1 било би потребно n+2 битова. У задатку збир се памти у регистру дужине n битова, па се добија некоректан резултат.

Дискусија 2:

Функционисање и операционе и управљачке јединице је дато уз следеће две претпоставке. Прво, користе се секвенцијалне мреже реализоване са ивичним флип-флоповима који мењају стање сагласно вредностима улазних сигнала само у тренутку промене вредности сигнала такта са вредности 0 на вредност 1. Друго, флип-флопови уносе одређено кашњење, па се вредност на излазу флип-флопа појављује нешто касније у односу на тренутак промене вредности сигнала такта са вредности 0 на вредност 1. Као последица овога сигнали имају временске облике као на слици 1.г.



Слика 1.г. Временски облици сигнала

Због кашњења које уносе флип-флопови, флип-флоп K_1 и сигнали S_1, C_0 и ldA се постављају на вредност 1 са кашњењем у односу на тренутак промене сигнала такта CLK означеног са 3 са вредности 0 на вредност 1. Из истих разлога флип-флоп K_1 и сигнали S_1, C_0 и ldA се постављају на вредност 0 са кашњењем у односу на тренутак промене сигнала такта CLK означеног са 4 са вредности 0 на вредност 1. Вредности 1 сигнала S_1 и C_0 и вредности 0 сигнала S_2, S_3 и S_0 у временском периоду између сигнала такта CLK означених са 3 и 4, омогућавају да кроз комбинационе мреже, које чине мултиплексери MP1 и MP2 и јединица ALU, прођу садржаји регистара R1 и R3 и да се на улазу регистра A формира сума садржаја регистара R1 и R3 увећана за 1. Вредност 1 сигнала ldA у временском периоду између сигнала такта CLK означених са 3 и 4 омогућава да се при промени сигнала такта CLK означеног са 4 са вредности 0 на вредност 1 садржај формиран на улазу регистра A упише у регистар A. Треба уочити да због кашњења са којим сигнал ldA постаје најпре 1 на сигнал такта CLK означен са 3 и затим 0 на сигнал такта означен са 4, нема уписа у регистар A на промену сигнал такта CLK означеног са 3 са вредности 0 на вредност 1, већ на промену сигнала такта

означеног са 4 са вредности 0 на вредност 1. Такође због кашњења са којим сигнали S_1 и C_0 постају најпре 1 на сигнал такта CLK означен са 3 и затим 0 на сигнал такта означен са 4, као и због пропагације кроз комбинационе мреже које чине мултиплексери MP1 и MP2 и јединица ALU, сума садржаја регистара R1 и R3 увећана за 1 је присутна на улазима регистра A у тренутку када се при промени сигнала такта CLK означеног са 4 са вредности 0 на вредност 1 врши упис у регистар A.

Слична је ситуација и са сигналима ldR4 и rdA који имају вредност 1 у временском периоду између сигнала такта CLK означених са 4 и 5. Вредност 1 сигнала rdA омогућује да садржај регистра A прође кроз комбинационе мреже које чине бафери са три стања и појави се на линијама магистрале M и улазима регистара R1, R2, R3 и R4. Вредност 1 сигнала ldR4 у временском периоду између сигнала такта CLK означених са 4 и 5, омогућује да се при промени сигнала такта CLK означеног са 5 са вредности 0 на вредност 1 садржај присутан на линијама магистрале M упише у регистар R4. Треба уочити да због кашњења са којим сигнал ldR4 постаје најпре 1 на сигнала такта CLK означен са 4 и затим 0 на сигнал такта означен са 5, нема уписа у регистар R4 на промену сигнала такта означен са 4 са вредности 0 на вредност 1, већ на промену сигнала такта означеног са 5 са вредности 0 на вредност 1. Такође због кашњења са којим сигнал rdA постаје најпре 1 на сигнал такта CLK означен са 4 и затим 0 на сигнал такта означен са 5, као и због пропагације кроз комбинациону мрежу коју чини бафер са три стања, садржај регистра A је присутан на линијама магистрале M и улазима регистра R4 у тренутку када се при промени сигнала такта CLK означеног са 5 са вредности 0 на вредност 1 врши упис у регистар R4.

Периода сигнала такта CLK је одређена временом пропагације кроз комбинационе мреже и мора да буде нешто већа од највеће пропагације. У посматраном случају постоји пропагација садржаја регистара R1, R2, R3 и R4 кроз комбинационе које чине мултиплексери MP1 и MP2 и јединица ALU и пропагација садржаја регистра A кроз бафер са три стања. Пропагација кроз комбинационе које чине мултиплексери MP1 и MP2 и јединица ALU је дужа од пропагације кроз бафер са три стања, па се на основу ње одређује периода сигнала такта CLK.

в) Таблица стања, прелаза/излаза и побуда флип-флопова за управљачку јединицу реализовану као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима формирана је на основу дијаграма тока управљачких сигнала (слика 1.б) и дата на слици 1.д.

Q	Z	Q(t+1)	X	J_1	K_1	J_2	K_2	J_3	K_3
K_0 (000)	/	K_0 (000)	$\overline{\text{ADDINC}}$	0	b	0	b	0	b
		K_1 (001)	ADDINC	0	b	0	b	1	b
K_1 (001)	ldA, S_1, C_0	K_2 (011)	1	0	b	1	b	b	0
K_2 (011)	ldR4, rdA	K_3 (010)	1	0	b	b	0	b	1
K_3 (010)	ldA, S_2, S_3, S_1	K_4 (110)	1	1	b	b	0	0	b
K_4 (110)	ldR4, rdA	K_0 (000)	1	b	1	b	1	0	b

Слика 1.д. Таблица стања, прелаза/излаза и побуда флип-флопова

Стања секвенцијалне прекидачке мреже кодирана су на следећи начин

K_0=000, K_1=001, K_2=011, K_3=010, K_4=110,

а за реализацију стања секвенцијалне прекидачке мреже користе се флип-флопови Q_1, Q_2 и Q_3 типа JK.

Управљачки сигнали операционе јединице се генеришу према истим изразима као и у случају управљачке јединице реализоване као "шетајућа јединица", при чему у случају управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа K_0, K_1, ..., K_4 представљају сигнале декодованих стања секвенцијалне прекидачке мреже придружених операционим блоковима у дијаграму тока управљачких сигнала (слика 1.б).

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа се састоји од флип-флопове Q_1, Q_2 и Q_3 типа JK и комбинационе прекидачке мреже која генерише сигнале побуда JK флип-флопова према следећим изразима:

$J_1 = K_3$
$K_1 = K_4$
$J_2 = K_1$
$K_2 = K_4$
$J_3 = K_0 \cdot \text{ADDINC}$
$K_3 = K_2$

С обзиром на усвојени начин кодирања стања секвенцијалне прекидачке мреже, сигнали декодованих стања секвенцијалне прекидачке мреже добијају се према изразима:

$K_0 = \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}$, $K_1 = \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3$, $K_2 = \overline{Q_1} \cdot Q_2 \cdot Q_3$, $K_3 = \overline{Q_1} \cdot Q_2 \cdot \overline{Q_3}$, $K_4 = Q_1 \cdot Q_2 \cdot \overline{Q_3}$.

Дискусија 3:

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа може да се састоји и од флип-флопове Q_1, Q_2 и Q_3 типа D, T или SR. Без обзира на то који се тип флип-флопа користи, стања секвенцијалне прекидачке мреже кодирана су на исти начин као и у случају реализације са JK флип-флоповима, а сигнали декодованих стања секвенцијалне прекидачке мреже и управљачки сигнали операционе јединице се генеришу према истим изразима као и у случају реализације са JK флип-флоповима. Разлика је само у изразима за сигнале побуда флип-флопова.

Таблица стања, прелаза/излаза и побуда флип-флопова за управљачку јединицу реализовану као стандардна секвенцијална прекидачка мрежа са D флип-флоповима формирана је на основу дијаграма тока управљачких сигнала (слика 1.б) и дата на слици 1.ђ.

Q	Z	Q(t+1)	X	D_1	D_2	D_3
K_0 (000)	/	K_0 (000)	$\overline{\text{ADDINC}}$	0	0	0
		K_1 (001)	ADDINC	0	0	1
K_1 (001)	ldA, S_1, C_0	K_2 (011)	1	0	1	1
K_2 (011)	ldR4, rdA	K_3 (010)	1	0	1	0
K_3 (010)	ldA, S_2, S_3, S_1	K_4 (110)	1	1	1	0
K_4 (110)	ldR4, rdA	K_0 (000)	1	0	0	0

Слика 1.ђ. Таблица стања, прелаза/излаза и побуда флип-флопова

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа се састоји од флип-флопове Q_1, Q_2 и Q_3 типа D и комбинационе прекидачке мреже која генерише сигнале побуда D флип-флопова према следећим изразима:

$D_1 = K_3$
$D_2 = K_1 + K_2 + K_3$

$D_3 = K_0 \cdot ADDINC + K_1$

Таблица стања, прелаза/излаза и побуда флип-флопова за управљачку јединицу реализовану као стандардна секвенцијална прекидачка мрежа са T флип-флоповима формирана је на основу дијаграма тока управљачких сигнала (слика 1.б) и дата на слици 1.е.

Q	Z	Q(t+1)	X	T_1	T_2	T_3
K_0 (000)	/	K_0 (000)	$\overline{ADDINC}$	0	0	0
		K_1 (001)	ADDINC	0	0	1
K_1 (001)	ldA, S_1, C_0	K_2 (011)	1	0	1	0
K_2 (011)	ldR4, rdA	K_3 (010)	1	0	0	1
K_3 (010)	ldA, S_2, S_3, S_1	K_4 (110)	1	1	0	0
K_4 (110)	ldR4, rdA	K_0 (000)	1	1	1	0

Слика 1.е. Таблица стања, прелаза/излаза и побуда флип-флопова

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа се састоји од флип-флопове Q_1, Q_2 и Q_3 типа T и комбинационе прекидачке мреже која генерише сигнале побуда T флип-флопова према следећим изразима:

$T_1 = K_3 + K_4$

$T_2 = K_1 + K_4$

$T_3 = K_0 \cdot ADDINC + K_2$

Таблица стања, прелаза/излаза и побуда флип-флопова за управљачку јединицу реализовану као стандардна секвенцијална прекидачка мрежа са SR флип-флоповима формирана је на основу дијаграма тока управљачких сигнала (слика 1.б) и дата на слици 1.ж.

Q	Z	Q(t+1)	X	S_1	R_1	S_2	R_2	S_3	R_3
K_0 (000)	/	K_0 (000)	$\overline{ADDINC}$	0	b	0	b	0	b
		K_1 (001)	ADDINC	0	b	0	b	1	0
K_1 (001)	ldA, S_1, C_0	K_2 (011)	1	0	b	1	0	b	0
K_2 (011)	ldR4, rdA	K_3 (010)	1	0	b	b	0	0	1
K_3 (010)	ldA, S_2, S_3, S_1	K_4 (110)	1	1	0	b	0	0	b
K_4 (110)	ldR4, rdA	K_0 (000)	1	0	1	0	1	0	b

Слика 1.ж. Таблица стања, прелаза/излаза и побуда флип-флопова

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа се састоји од флип-флопове Q_1, Q_2 и Q_3 типа SR и комбинационе прекидачке мреже која генерише сигнале побуда SR флип-флопова према следећим изразима:

$S_1 = K_3$

$R_1 = K_4$

$S_2 = K_1$

$R_2 = K_4$

$S_3 = K_0 \cdot ADDINC$

$R_3 = K_2$

1.2. НЕГАЦИЈА - NEG

На слици 2.а. је приказана структурна шема дела операционе јединице процесора. У регистру R1 дужине 16 разреда налази се целобројна вредности са знаком представљена у другом комплементу. Микрооперације које се реализују у јединици ALU су дате у табели 2.

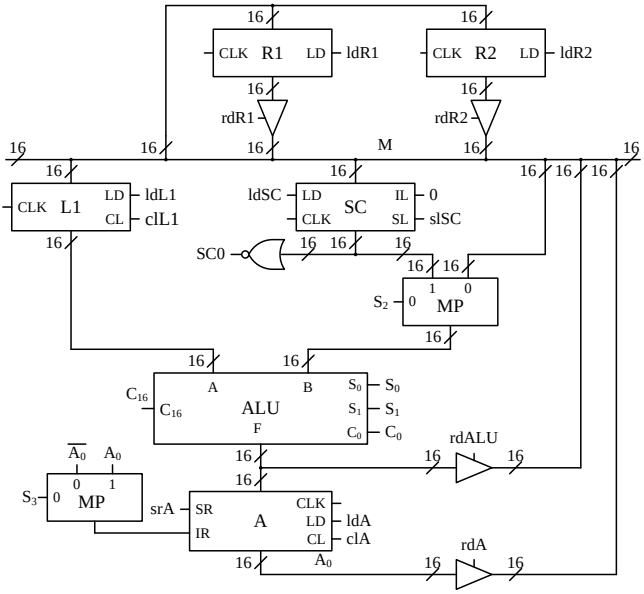
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе NEG која израчунава

R2 = (–R1)

негацију целобројне вредности са знаком у регистру R1 и резултат смешта у регистар R2. Фаза извршавања наредбе започиње уколико сигнал NEG има вредност 1. Садржај регистра R1 треба да остане неизмењен.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима.

в) Нацртати структурну шему управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима.



Слика 2.а. Структурна шема операционе јединице

S_0	S_1	F
0	0	A+B
0	1	A–C_0
1	0	A+C_0
1	1	B+C_0

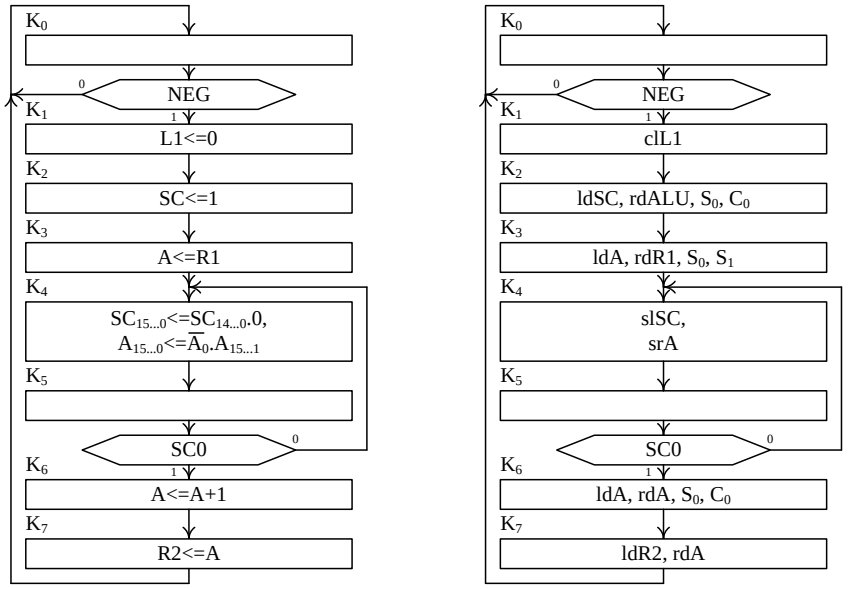
Табела 2. Микрооперације у јединици ALU

Решење 1:

а) Дијаграми тока микрооперација и управљачких сигнала дати су на слици 2.б.

Израчунавање негације –R1 другог комплемента целобројне вредности са знаком се реализује тако што се најпре формира њен први комплемент и затим дода 1. У том циљу се најпре садржај регистра R1 пребацује у регистар A. Затим се садржај регистра A помера удесно и при томе по линији IR у најстарији разред регистра A убацује

инвертована вредност разреда A_0. После 16 померања удесно у регистру A се налази комплементарни садржај оригиналног садржаја регистра A. На крају се садржај регистра A пропушта кроз ALU уз додавање 1 и добијена вредност најпре уписује у регистар A а затим из регистра A пребацује у регистар R2. Померање садржаја регистра A удесно се реализује све време док сигнал SC0 има вредност 0. Сигнал SC0 има вредност 0 уколико се барем у једном од 16 разреда регистра SC налази јединица. У том циљу на почетку се јединица уписује у најмлађи разред регистра SC и помера улево сваки пут када се садржај регистра A помера удесно. После 16 померања улево јединица излази из регистра SC и у регистру SC се појављују све нуле. Тада сигнал SC0 постаје 1. Јединица се уписује у регистар SC тако што се најпре нула уписује у регистар L1, па се садржај регистра L1 пропушта кроз ALU уз додавање 1 и добијена вредност уписује у регистар SC.



Слика 2.б. Дијаграми тока микрооперација и управљачких сигнала

У кораку K_0 се проверава вредност сигнала NEG и у зависности од тога да ли сигнал NEG има вредност 0 или 1 или остаје у кораку K_0 или на сигнал такта прелази на корак K_1.

У кораку K_1 се вредношћу 1 сигнала clL1 на сигнал такта у регистар L1 уписује вредност 0. На исти сигнал такта се прелази на корак K_2.

У кораку K_2 се вредностима 1 сигнала S_0 и C_0 на излазу јединице ALU појављује садржај регистра L1 увећан за један, па ће се, пошто је у претходном кораку у регистар L1 уписана вредност 0, на излазу јединице ALU формирати вредност 1, која се, вредношћу 1 сигнала rdALU пропушта преко бафера са три стања на линије магистрале M и вредношћу 1 сигнала ldSC на сигнал такта са линија магистрале M уписује у регистар SC. На исти сигнал такта се прелази на корак K_3.

У кораку K_3 се вредношћу 1 сигнала rdR1 садржај регистра R1 пропушта преко бафера са три стања на линије магистрале M и са њих вредношћу 0 сигнала S_2 пропушта кроз мултиплексер MP на улаз B јединице ALU, вредностима 1 сигнала S_0 и S_1 се даље пропушта на излаз јединице ALU и вредношћу 1 сигнала ldA на сигнал такта уписује у регистар A. На исти сигнал такта се прелази на корак K_4.